

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-011677

(43)Date of publication of application : 14.01.2000

(51)Int.Cl. G11C 16/06  
G06F 12/16  
G11C 16/04  
G11C 29/00

(21)Application number : 10-194971

(71)Applicant : TOKYO ELECTRON LTD

(22)Date of filing : 25.06.1998

(72)Inventor : SUGAWARA TSUTOMU  
KIKUCHI SHUICHI

(54) FLASH MEMORY SYSTEM

(57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a flash memory system in which a block alternate control operation is performed by small resources, with good efficiency and with high reliability regarding a flash memory.

**SOLUTION:** A block inside every flash memory chip FMI is divided into blocks in an ordinary region and blocks in a spare region. Regarding a block alternate control table TBi, table addresses (physical addresses) whose number is identical to the number of blocks in the spare region or to the number of addresses regarding the flash memory chip FMi are set inside the block alternate control table TBi. The respective table addresses are made to correspond to the physical addresses in any one spare block in a one-to-one correspondence relationship. Block alternate information is stored in a table storage position which is indicated by every table address.

品名	数量	単位	金額	合計
品名	0		0	
品名	1		1	
品名	2		2	
品名	3		3	
品名	4		4	
品名	5		5	
品名	6		6	
品名	7		7	
品名	15389		15389	
品名	4		15380	
品名	5		15361	
品名	15367		15367	
品名	15382		15382	
品名	15383		15383	

## LEGAL STATUS

[Date of request for examination]

02.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-11677

(P2000-11677A)

(43) 公開日 平成12年1月14日 (2000.1.14)

(51) Int.Cl. <sup>7</sup>	識別記号	FI	テマコード* (参考)
G 1 1 C 16/06		G 1 1 C 17/00	6 3 9 A 5 B 0 1 8
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 1 0 R 5 B 0 2 5
G 1 1 C 16/04		G 1 1 C 29/00	6 0 5 C 5 L 1 0 6
29/00	6 0 5	17/00	6 2 2 A

審査請求 未請求 請求項の数9 FD (全 19 頁)

(21) 出願番号 特願平10-194971

(22) 出願日 平成10年6月25日 (1998.6.25)

(71) 出願人 000219967

東京エレクトロン株式会社

東京都港区赤坂5丁目3番6号

(72) 発明者 菅原 勉

岩手県江刺市岩谷堂字松長根52番地 東京

エレクトロン東北株式会社東北事業所内

(72) 発明者 菊地 修一

岩手県江刺市岩谷堂字松長根52番地 東京

エレクトロン東北株式会社東北事業所内

(74) 代理人 100086564

弁理士 佐々木 聖孝

Fターム(参考) 5B018 GA06 KA15 NA06

5B025 AD13

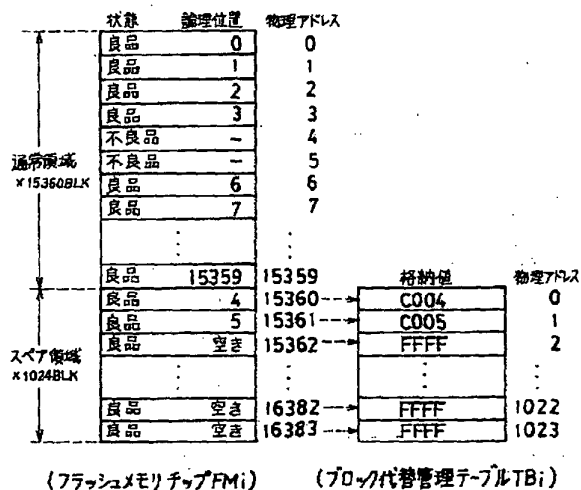
5L106 AA10 CC16 CC32

## (54) 【発明の名称】 フラッシュメモリスシステム

## (57) 【要約】

〔課題〕 フラッシュメモリについて少ない資源で効率よく信頼性の高いブロック代替管理を行う。

〔解決手段〕 各フラッシュメモリ・チップF<sub>Mi</sub> 内のブロックは通常領域のブロックとスペア領域のブロックとに区画されている。ブロック代替管理テーブルT<sub>Bi</sub> では、各フラッシュメモリ・チップF<sub>Mi</sub> についてそのスペア領域のブロック数またはアドレス数と同じ個数のテーブルアドレス（物理アドレス）がブロック代替管理テーブルT<sub>Bi</sub> 内に設定され、各テーブルアドレスが1対1の対応関係でいずれか1つのスペアブロックの物理アドレスに対応づけられている。各テーブルアドレスで指示されるテーブル記憶位置には、ブロック代替情報が格納される。



本  
刊  
を  
つ  
て  
は  
8

り

イ  
、  
す  
電  
メ  
等

R  
ロ  
い  
セ

装置  
モ  
ユ  
して  
ント  
モリ  
るほ  
モリ

コン  
常に  
ロッ  
求さ

その

ような不良ブロックの存在ないし発生がある程度の個数まで許容されるよう、メモリ領域の一部に適当な個数のスペアまたは予備のブロックを用意している。通常は、これらのスペアブロックが代替ブロックに用いられる。

【0070】従来のフラッシュメモリシステムでは、フラッシュメモリの各ブロックの冗長部に当該ブロックが正常であるのか不良であるのかを示すフラグまたはステータス情報を格納し、さらには当該ブロックを不良ブロックと認定したときはそれに置き換わるべき代替ブロックの記憶位置を指示するアドレス情報（ポインタ）も格納している。ホストよりメモリアクセスが行われる度毎に、コントローラがアドレス指定されたブロックのブロック良否フラグ情報を読み取り、そのブロックが「正常」であればそのままそこにアクセスし、「不良」であればポインタで指示される別のブロック（代替ブロック）にアクセスするようになっている。

【0080】

【発明が解決しようとする課題】上記のように、従来の方式では、フラッシュメモリ内の各ブロックの冗長部にブロック良否フラグ等のブロック関連情報を格納（保存）し、コントローラがメモリアクセスの度毎に当該ブロックのブロック関連情報を読み取って、ブロック代替の可否を判断するようにしている。

【0090】したがって、ホスト側からのアドレスが不良ブロックを指定する場合は、その不良ブロックにアクセスし、そこからブロック関連情報を読み取り、ブロック代替可否の判断を行ってから、代替ブロックへアクセスすることになる。つまり、2ブロック分のデータ読み出し動作を行うことになる。

【0100】このようなブロック代替管理方式は非効率的であるばかりか、不良ブロックより読み出された信頼性の低いデータ（ブロック関連情報）に基づいてブロック代替可否の判断を行わなくてはならないため、ブロック代替機能の信頼度も低いという問題がある。さらには、不良ブロックへのアクセスがフラッシュメモリに有害なストレスを与え、メモリの劣化を早めるおそれがある。

【0110】なお、電源投入直後やリセット解除直後の初期化の中で、コントローラがフラッシュメモリ内の全ブロックの冗長部を読みに行き、それぞれのブロック関連情報を収集し、収集したブロック関連情報を基にたとえばSRAMのような揮発性メモリ上にブロック代替用のテーブルを形成する方式も考えられている。

【0120】この方式によれば、ホストからのメモリアクセスに対して、先ずブロック代替用テーブルを参照し、アドレス指定されたブロックが正常であるのか不良であるのかを判別したうえで、つまりブロック代替の可否を判断して、そのブロックもしくは代替ブロックにアクセスすることになる。

【0130】しかし、この方式でも、初期化（テーブル

形成）時には不良ブロックにアクセスすることになり、アクセス回数は少なくなるものの、基本的に上記の問題は解決されない。また、フラッシュメモリ内の全ブロック分のブロック関連情報を収集する方法であるため、ブロック代替用テーブルの形成に要する処理時間が長い。また、テーブルメモリに要求される記憶容量が大きいという問題もある。近年、フラッシュメモリは急速に大容量化の一途を辿っており、この不利点はますます顕著になる。

【0140】本発明は、上記の問題点を鑑みてなされたもので、少ない資源で効率よくブロック代替管理を行えるようにしたフラッシュメモリシステムを提供することを目的とする。

【0150】また、本発明は、不良ブロックへの無駄なアクセスを不要とし、信頼性および効率の高いブロック代替管理を行えるようにしたフラッシュメモリシステムを提供することを目的とする。

【0160】さらに、本発明は、不良ブロックに置き換わる代替ブロックへ短時間で効率よくアクセスできるようにしたフラッシュメモリシステムを提供することを目的とする。

【0170】

【課題を解決するための手段】上記の目的を達成するために、本発明の第1のフラッシュメモリシステムは、記憶領域を複数のブロックに分割し、ブロック単位で記憶データを一括消去するように構成されたフラッシュメモリと、前記フラッシュメモリ内で不良と判定されたブロックに割り当てられていたアドレスを登録し、かつ前記不良ブロックに替わって用いられるべき代替ブロックの記憶位置を示す代替アドレスを与えるブロック代替情報登録手段と、前記フラッシュメモリに対するメモリアクセスのため与えられるアドレスを入力し、前記入力アドレスが前記ブロック代替情報登録手段に登録されていないときは前記入力アドレスで指示される前記フラッシュメモリ内のブロックにアクセスし、前記入力アドレスが前記ブロック代替情報登録手段に登録されているときは前記入力アドレスに対応した前記代替アドレスで指示される前記フラッシュメモリ内のブロックにアクセスするブロック代替制御手段とを具備する構成とした。

【0180】また、本発明の第2のフラッシュメモリシステムは、記憶領域を複数のブロックに分割し、ブロック単位で記憶データを一括消去するように構成されたフラッシュメモリと、前記フラッシュメモリ内で不良と判定されたブロックに割り当てられていた論理アドレスを登録し、各不良ブロックに替わって用いられる代替ブロックに割り当てられている物理アドレスを代替アドレスとして与えるブロック代替情報登録手段と、前記フラッシュメモリに対するメモリアクセスのため与えられるアドレスを入力し、前記入力アドレスをシステム内の論理アドレスに変換し、前記論理アドレスが前記ブロック代

替情報登録手段に登録されていないときは前記論理アドレスで指示される前記半導体メモリ内のブロックにアクセスするブロック代替制御手段とを具備する構成とした。

【0190】本発明において、前記ブロック代替情報登録手段は、前記フラッシュメモリ内に代替ブロック用として設定された複数のスペアブロックと1対1で対応する複数の記憶位置を有し、いずれかのスペアブロックが代替ブロックとして使用されているときはそれによって代替されている不良ブロックに割り当てられているアドレスを示すアドレス情報を前記スペアブロックと対応する前記記憶位置に格納する不揮発性の記憶手段を含むものであってよい。

【0200】また、各々の前記記憶位置には、各対応する前記スペアブロックが代替ブロックとして使用されていないときはその空き状態を示す第1のステータス情報が格納されてよく、さらには各対応する前記スペアブロックが正常であるのか不良であるのかを示す第2のステータス情報も格納されてよい。

【0210】また、前記ブロック代替情報登録手段は、各々の前記不良ブロックに替わる代替ブロックのアドレスをその不良ブロックに対応するアドレス情報が格納されている前記記憶位置のアドレスに基づいて求めるアドレス生成手段を含むものであってよい。

【0220】前記フラッシュメモリと前記不揮発性記憶手段とは別個のデータ線を介して前記メモリ制御手段に接続されている構成が好ましい。

【0230】前記不揮発性記憶手段は、好ましくはNOR型フラッシュメモリで構成されてよい。あるいは、前記フラッシュメモリ内の所定の記憶領域を用いて構成されてもよい。

【0240】

【発明の実施の形態】以下、添付図を参照して本発明の実施例を説明する。

【0250】図1は、本発明の一実施例によるフラッシュメモリシステムの構成を示す。このシステムにおいて、コントローラ10、テーブルメモリ12およびフラッシュメモリ14の各チップは一枚のカードたとえばフラッシュ・ディスク・カード16上に搭載されている。カード16がホストコンピュータ18のカード・スロットに装着され、コントローラ10はホストコンピュータ18に所定規格のインタフェースたとえばPCMCIA-ATAまたはIDEインタフェース20で接続される。

【0260】フラッシュメモリ14は、ホスト18側からコントローラ10を介してデータの書き込み/読み出しを行えるメモリであり、たとえば同一構成および機能を有する1個または複数個(n個)のAND型フラッシュEEPROMチップからなり、バス22および所要の制御線24を介してコントローラ10に接続されてい

る。

【0270】テーブルメモリ12は、ホスト18とは独立してコントローラ10の管理下に置かれる不揮発性の半導体メモリチップたとえばNOR型フラッシュメモリからなり、データ蓄積用のフラッシュメモリ14とは別個のバス26および制御線28を介してコントローラ10に接続されている。このテーブルメモリ12内に後述するブロック代替管理テーブルが構築される。

【0280】図2に、本実施例におけるコントローラ10の内部の機能的構成をブロック図で示す。コントローラ10は、メインシーケンサ30、フラッシュI/Fシーケンサ32、ホストインタフェース部34、データバッファ36およびバッファ制御部38を有している。

【0290】メインシーケンサ30は、内蔵または外付けのファームウェアにしたがって動作し、コントローラ10内の各部を制御してホスト18およびフラッシュメモリ14間のデータのやりとりを管理するだけでなく、テーブルメモリ12に対して直接アクセス可能で所要のメモリ制御を行う機能を有している。

【0300】フラッシュI/Fシーケンサ32は、メインシーケンサ30の管理下でフラッシュメモリ14に対して直接アクセスし所要のメモリ制御を行う。

【0310】ホストインタフェース部34は、CHSレジスタ40、アドレス変換部42、ロジック制御部44およびI/Oポート46等を含んでいる。CHSレジスタ40は、ホスト18より送られて来たCHS(シリンダ・ヘッド・セクタ)モードのアドレスを保持する。アドレス変換部42は、ホスト18からのCHSアドレスをシステム内の論理アドレスに変換するための演算機能を有するほか、論理アドレスの自動更新を行うための演算機能も有している。

【0320】ロジック制御部44は、ホスト18側より書き込み可能または読み取り可能な各種レジスタを内蔵しており、書き込まれたコマンドを解釈してアドレス変換部42やバッファ制御部38等を制御する機能を有している。

【0330】I/Oポート46は、ホスト18のバス20に所定規格のインタフェースたとえばPCMCIA-ATAまたはIDEインタフェースで接続され、ホスト18より入力したデータおよび制御信号を各部へ転送するためのマルチプレクサ機能を有するほか、ホスト18より受信したアドレス信号をデコードするためのアドレスデコードを内蔵している。

【0340】データバッファ36は、揮発性の半導体メモリたとえばSRAMからなる。バッファ制御部38は、メインシーケンサ30、フラッシュI/Fシーケンサ32またはI/Oポート46からのデータバッファ36に対するデータの書き込み/読み出しの要求を受け付け、かつ調停を行って、データバッファ36のデータ書き込み/読み出し動作を制御する。

【0350】なお、メインシーケンサ30とフラッシュメモリ/Fシーケンサ32、ホストインタフェース部34、バッファ制御部38の各部との間はデータバスと制御線とで接続されるが、これらのデータバスはハードウェア的には共通のバスでよく、さらにはその共通バスにテーブルメモリ12を接続することも可能である。

【0360】図3に、フラッシュメモリ14における1ブロック内の記憶領域フォーマットの一例を示す。フラッシュメモリ14の各チップF<sub>Mi</sub> (i=1, 2, ..., n) 内のメモリ領域は所定数(N個)のブロックに分割され、さらに各ブロック内の記憶領域が所定のフォーマットで区分されている。

【0370】図3のフォーマット例では、1ブロック内が512バイト(1セクタ分)のデータ格納部と、4バイトのECC(Error Check and Correction)コード格納部と、12バイトの未使用領域(Reserve)とに区分されている。1ブロックが書き込み単位の1セクタに相当するため、消去だけでなく書き込みも1ブロック単位で行われる。

【0380】図4に、フラッシュメモリ・チップF<sub>Mi</sub>の記憶領域フォーマットの一例を示す。この例では、各チップF<sub>Mi</sub>内の記憶領域が16384個のブロックに分割され、それぞれのブロックに配列順に物理アドレス0, 1, ..., 16383が割り当てられる。

【0390】また、本実施例では、各フラッシュメモリ・チップF<sub>Mi</sub>内でブロックの代替が行われていない場所では論理アドレスと物理アドレスとが同じ値で対応し、物理アドレスと同じ値の論理アドレスが割り当てられる。

【0400】各フラッシュメモリ・チップF<sub>Mi</sub>内の16384個のブロックのうち、0~15359番目のブロックは通常領域に属し、正常である限りデータ格納用ブロックとして用いられる。残りのブロックつまり15360番目から16383番目(最後)までの1024個のブロックはスペア領域に属し、通常領域内に不良のブロックが存在するときにそれに替わる代替ブロックとして用いられる。

【0410】図4には、テーブルメモリ12内に構築されるブロック代替管理テーブルの一例も示されている。本実施例では、各フラッシュメモリ・チップF<sub>Mi</sub>についてそのスペア領域のブロック数またはアドレス数と同じ個数(1024)のテーブルアドレス(物理アドレス)がブロック代替管理テーブルT<sub>Bi</sub>内に設定され、各テーブルアドレスが1対1の対応関係でいずれか1つのスペアブロックの物理アドレスに対応づけられている。

【0420】この例では、それぞれスペア領域およびテーブル領域内で同じ配列順位を有するテーブルアドレスとスペアブロック物理アドレスとが互に対応しており、各テーブルアドレスに一定のオフセット値AS (1

5360)を加算すると、そのテーブルアドレスに対応するスペアブロック物理アドレスが得られるという関係がある。

【0430】各テーブルアドレスで指示されるテーブル記憶位置には、そのテーブルアドレスに対応するスペアブロックの状態に関する情報がブロック代替情報として所定のデータ長たとえば1ワード(16ビット)で格納される。

【0440】図5に、本実施例におけるブロック代替情報のデータフォーマット例を示す。この1ワードのブロック代替情報B15-00のうち、最上位2ビットB15-14には当該(対応)スペアブロックの良否状態を示す情報がセットされる。つまり、当該スペアブロックが「正常」であるか「不良」であるかに応じてこの良否フラグビットB15-14に「11」、「00」がセットされる。

【0450】なお、本実施例においてブロックが「正常」であるとは、前回このスペアブロックにアクセスした際に正常であったことを意味し、必ずしも現時点の状態が正常であるとは限らない。また、「不良」と判定されたブロックには以後のアクセスを禁止するため、いったん「00」にセットされた良否フラグビットB15-14が「11」に変わることはない。

【0460】下位14ビットのフィールドB13-00は、最上位ビット(良否フラグビット)B15-14が「11」のとき有意となり、当該スペアブロックが未使用状態つまり空き状態であるのか、それとも代替ブロックとして使用中の状態であるのかを示す情報がセットされる。

【0470】すなわち、当該スペアブロックが空き状態のときは、このフィールドB13-00の全ビットに1がセットされる。したがって、ブロック代替情報B15-00は全ビットが1の値つまりFFFFhになる。

【0480】また、当該スペアブロックが代替ブロックとして使用されているときは、このフィールドB13-00には当該スペアブロック(代替ブロック)によって代替されている通常領域内の不良ブロックに割り当てられていた論理アドレスがセットされる。

【0490】図5には、フラッシュメモリ14の全チップFM0, FM1, ..., FMnに対応するブロック代替管理テーブルTB0, TB1, ..., TBnのテーブルメモリ12内の配置構造も示されている。本例では、テーブルメモリ12の物理アドレスの最下位10ビットの値がチップ1個分の各ブロック代替管理テーブルT<sub>Bi</sub>の物理アドレスに相当する。そして、テーブル1個分のアドレスは[0000000000]~[1111111111]で与えられるから、テーブルの始端位置が3C00hのときは、3FFFFhが終端位置となる。

【0500】なお、図4の例では、ブロック代替管理テーブルT<sub>Bi</sub>の先頭位置(テーブルアドレス0)および2番目の位置(テーブルアドレス1)に論理アドレス4, 5がそれぞれ格納(登録)されている場合を示して

いる。

【0510】このことは、フラッシュメモリ・チップF Mi において論理アドレス4, 5をそれぞれ割り当てられていた通常領域内のブロックつまり物理アドレス4, 5の両ブロックが不良と判定されており、物理アドレス4の不良ブロックはテーブルアドレス0に対応するチップF Mi 内の物理アドレス15360のスペアブロックで代替され、物理アドレス5の不良ブロックはテーブルアドレス1に対応するチップF Mi 内の物理アドレス15361のスペアブロックで代替されていることを意味する。これらのブロック代替に伴って、論理アドレス4, 5は実質的に不良ブロック(4, 5)から代替ブロック(15360, 15361)にそれぞれ移行している。

【0520】フラッシュメモリ内の不良ブロックは、チップ出荷前のブロック良否検査によって検出できるのはもちろん、実際のメモリアクセス動作の中でも公知の方法で検出可能である。チップ出荷前の良否検査で検出される不良はいわゆる先天性不良であり、使用中に不良になるのはいわゆる後天性不良である。本発明では、いずれの不良ブロックも検出された順にブロック代替管理テーブルTBに登録される。その場合、図4に示すように、テーブルの先頭位置から順に1テーブルアドレスにつき1論理アドレスずつ登録されることになる。

$$LBA = (C \times HpC + H) SpH + S - 1 \quad \dots\dots\dots (1)$$

【0570】次に、アドレス変換部42は、上記のようにして算出した論理ブロックアドレス(LBA)とフラッシュメモリ14に含まれるチップF Miの個数(NumCHIP)とから次式(2), (3)を演算して、論理

$$LA\_BLK = LBA / NumCHIP \quad \dots\dots\dots (2)$$

$$CHIP\_NUM = LBA \bmod NumCHIP \quad \dots\dots\dots (3)$$

【0580】なお、上式(2), (3)は一例である。フラッシュメモリ・チップF Mi またはブロックの記憶領域フォーマットが変われば、上式(2), (3)とは違った演算式が用いられる。

【0590】次に、図8～図10につきホスト18からの読み出しのメモリアクセスに対する本システムの作用を説明する。図8および図9はコントローラ10内の処理手順を示し、図10はシステム内の各部の動作のタイミングを示す。

【0600】本フラッシュメモリシステムに対してデータの読み出しを行うとき、ホスト18は上記したようにCHSモードのアドレス情報で読み出し位置(先頭位置)を指定してくる。また、読み出しデータの量または範囲をセクタカウント(SC)で指定し、読み出しコマンドを送ってくる。

【0610】コントローラ10では、ホストインタフェース部34においてI/Oポート46で受信したホスト18からの読み出し指令情報(CHS, SC, コマンド)をロジック制御部44内のレジスタに格納する。以

【0530】なお、先天性不良のブロックが各フラッシュメモリ・チップ内の所定の冗長部に記録またはリストされる場合は、そのリストの情報を基に先天性不良ブロックをブロック代替管理テーブルTBに一括登録することができる。そのようなリストが得られない場合は、システム構築時の初期化で全ブロックの良否を検査して先天性不良ブロックを割り出してもよい。あるいは、先天性不良ブロックも後天性不良ブロックと同じ扱いで実際のメモリアクセスの中で個別的に検出し、その都度ブロック代替管理テーブルTBに登録してもよい。

【0540】図6および図7に、本実施例においてアドレス変換部42により実行されるアドレス演算の例を示す。

【0550】本実施例では、ホスト18からのアドレスがCHSモードで与えられる。このCHSモードのアドレスには、アドレス指定の対象となる記憶場所のシリンダナンバー(C)、ヘッドナンバー(H)、セクタナンバー(S)、シリンダあたりのヘッド数(HpC)およびヘッドあたりのセクタ数(SpH)の値(データ)が含まれている。

【0560】図6に示すように、先ずアドレス変換部42は、入力したCHSモードのアドレス情報(C, H, S, HpC, SpH)を基に次式(1)を演算して、対応する値の論理ブロックアドレス(LBA)を求める。

アドレスを規定するチップナンバー(CHIP\\_NUM)およびチップ内論理ブロックナンバー(LA\\_BLK)を求める。

後、メインシーケンサ30が中心となって以下のような処理を実行する。

【0620】先ず、ロジック制御部44内に設けられているホスト向けの内部ビジーフラグ(BUSY)をセットする(ステップA1)。

【0630】次いで、CHSレジスタ40に格納されているCHSモードの入力アドレスをアドレス変換部42において図6および図7に示すような演算によりフラッシュメモリ14内の論理アドレスに変換する(ステップA2)。このアドレス変換で得られる論理アドレスから今回の読み出し動作の対象となるフラッシュメモリ・チップF Mi が判明する。

【0640】次に、メインシーケンサ30が、該当フラッシュメモリ・チップF Mi に対応するブロック代替管理テーブルTB<sub>i</sub>を検索し、ホスト18より指定されている論理アドレスが該テーブルTB<sub>i</sub>内に登録されているかどうかテーブル先頭位置からアドレス順に検索(サーチ)する(ステップA3～A9)。

【0650】このサーチは高速に行える。本実施例のよ



うにテーブルメモリ12にNOR型フラッシュメモリを用いた場合、テーブル1行の検索に要する時間を100ナノ秒以下に抑えることが可能である。

【0660】たとえば、ブロック代替管理テーブルTB<sub>i</sub>の内容が図4に示すような状態であり、アドレス変換によって得られた論理アドレスの値が2であったとする。

【0670】この場合、ブロック代替管理テーブルTB<sub>i</sub>の検索で最初に（テーブル先頭位置より）読み出される情報は「C004」であり、照合一致しない。そこで、次に2番目のテーブル記憶位置の情報を読み出すと、「C005」であり、これも照合一致しない。次に、3番目のテーブル位置の情報を読み出すと、「FF F Fh」であり、これは対応スぺアブロック（物理アドレス15361のブロック）が空き（未使用）の状態であることを示す。したがって、これ以降のテーブル記憶位置にも全て空き状態を示す「FF F Fh」が格納されていることもわかる。

【0680】この時点で、論理アドレス2はブロック代替管理テーブルTB<sub>i</sub>に登録されていないこと、したがって目的のフラッシュメモリ読み出し位置は物理アドレス2のブロックであることが判明したので（ステップA6）、テーブル検索を終了し（ステップA11）、この論理アドレス2をそのままアクセス先の物理アドレス2に置き換える（ステップA12）。

【0690】そして、フラッシュI/Fシーケンサ32を通じてこの物理アドレス2で指定される該当フラッシュメモリ・チップF<sub>Mi</sub>内のブロックにアクセスし、そのアクセスしたブロックよりデータを読み出す（ステップA14）。この際、フラッシュメモリ14より読み出されたデータはバス22を介していったんデータバッファ36に格納される。

【0700】別の例として、上記アドレス変換によって得られた論理アドレスの値が5であったとする。この場合は、上記のテーブル検索において2番目のテーブル記憶位置から「C005」が読み出され、このブロック代替情報「C005」に論理アドレス5が照合一致する（ステップA5）。

【0710】この時点で、論理アドレス5を割り当てられていた通常領域内の物理アドレス5のブロックが不良であること、そしてテーブルTB<sub>i</sub>の2番目の記憶位置に対応するチップ内物理アドレスの位置に該不良ブロックの替わりとなる該当の代替ブロックが配置されていることが判明する。そこで、テーブル検索を終了し（ステップA11）、照合一致のあったテーブルアドレス（1）に所定のオフセット値A<sub>s</sub>（15360）を加算して、アクセス先のチップ内物理アドレス（15361）を求める（ステップA13）。

【0720】そして、フラッシュI/Fシーケンサ32を通じてこの物理アドレス（15361）で指定される

該当フラッシュメモリ・チップF<sub>Mi</sub>のブロックにアクセスし、そのブロックよりデータを読み出す（ステップA14）。この場合も、フラッシュメモリ14より読み出されたデータはバス22を介してデータバッファ36に格納される。

【0730】上記のようにしてフラッシュメモリ14より読み出されたデータにエラーがなければ、たとえばデータ読み出し終了時にフラッシュメモリ14より送られてくるステータス情報がエラーを示していなければ、正常な読み取りが行われたものと判断し（ステップA26）、直ちにデータバッファ36内の読み出しデータをホスト18側へ転送可能とする。すなわち、内部ビジーフラグ（BSY）をクリアし、ホスト18による読み出しデータの取り込みを待つ（ステップA28）。

【0740】そして、ホスト18へのデータ転送の終了の後、今回のメモリアクセスでホスト18より与えられているセクタカウント（SC）が1のときは上記した1ブロック（1セクタ）分の読み出しでもって今回の全読み出し動作を終了する。しかし、セクタカウント（SC）が2以上のときは、最初に戻り（ステップA30）、上記と同様の手順で読み出し動作を実行する。ただし、2回目以降の論理アドレスはアドレス変換部42において自動更新（インクリメント）した値となる。

【0750】図10の（A）には、フラッシュメモリ14より読み出された2セクタ分のデータにエラーが無い場合の各部の動作のタイミングが示されている。

【0760】フラッシュメモリ14より読み出されたデータにエラーがある場合は、図9のステップA16～A25の処理が行われる。このときの各部の動作のタイミングは図10の（B）に示されている。

【0770】各フラッシュメモリ・チップF<sub>Mi</sub>内にはチップ内のメモリアレイから読み出したデータにECCエラーが発生したか否かを検出できる機能が備わっている。エラーがあったときは、データ読み出し終了時にチップF<sub>Mi</sub>よりフラッシュI/Fシーケンサ32に送られてくるステータス情報でエラーが通知される。

【0780】ECCエラーを示すステータス情報が通知されたときは、今回の読み出し対象となったブロックの記憶内容を消去する（ステップA16）。このイレース処理では、フラッシュI/Fシーケンサ32よりバス22を介して該当のフラッシュメモリ・チップF<sub>Mi</sub>に消去対象のブロックを指定するアドレスや消去実行コマンド等が与えられる。そうすると、該チップF<sub>Mi</sub>内でそのブロックについてブロック消去動作が実行される。

【0790】本実施例では、上記のように読み出し時にECCエラーを起こしたブロックについては、これを不良ブロックと認定する。この不良と認定されたブロックは、フラッシュメモリ・チップF<sub>Mi</sub>において通常領域に属する通常ブロックであるときもあれば、スぺア領域に属するスぺアブロック（代替ブロック）のときもあ

る。

【0800】スペア領域内のブロックであるときは、ブロック代替管理テーブルTB<sub>i</sub>においてそのスペアブロックについての登録抹消処理を行う（ステップA18）。この登録抹消処理では、そのスペアブロックに対応するテーブル記憶位置に「0000h」を書き込み、そのスペアブロックが「不良」であること、したがって代替ブロックでも代替可能ブロックでもないことを明示し、以後のアクセスを禁止する。こうして、「不良」と判定したスペアブロックをブロック代替管理テーブルTB<sub>i</sub>から登録抹消する。

【0810】今回不良と認定されたブロックが通常領域内のブロックであるときは、上記のようなブロック代替管理テーブルTB<sub>i</sub>における登録抹消処理（ステップA18）は不要であり、この処理をスキップして（ステップA19）、空きブロックサーチ（ステップA20）を行う。

【0820】この空きブロックサーチでは、今回不良と認定されたブロックに換わるべき空き状態のスペアブロックを捜す。具体的には、ブロック代替管理テーブルTB<sub>i</sub>においてテーブル先頭位置から順にテーブル記憶位置にアクセスし、空き情報「FFFFh」が格納されている最先（先頭）の位置を捜し出す。そして、その捜し出したテーブル位置を基に、上記したようなテーブルアドレスとスペアブロック物理アドレスとの対応関係から、スペア領域内で未だ空き状態になっているスペアブロックの中の先頭ブロックを割り出す。

【0830】本実施例では、上記のようなブロック代替管理テーブルTB<sub>i</sub>におけるスペアブロック登録抹消および空きブロックサーチの各処理（ステップA18、A20）をフラッシュメモリ14における不良ブロックのイレース処理（ステップA16）と並行して実行することが可能である。

【0840】すなわち、ブロック代替管理テーブルTB<sub>i</sub>が位置するテーブルメモリ12と不良ブロックが位置するフラッシュメモリ14とは別々のバス26、22に接続されているので、コントローラ10は両メモリ12、14に対して並列的にアクセスし、両メモリ12、14に所要のメモリ動作を並列的または同時的に行わせることができる。

【0850】上記のようにして新規の代替ブロックとなるべき空きのスペアブロックを割り出したなら、次に、このスペアブロックをイレース（初期化）したうえで、データバッファ36に格納されているデータ（フラッシュメモリ14より今回読み出されたデータ）を該スペアブロックに書き込む（ステップA21）。

【0860】このデータ書き込み処理は、今回不良と認定されたブロックにいままで蓄積されていたデータを新規代替ブロックとなるべきスペアブロックに移し替える処理にはかならない。

【0870】この初期化のイレース処理は上記不良ブロ

ックに対するイレース処理（ステップA16）と同様にして行われる。また、該スペアブロックへのデータの書き込みに際しては、フラッシュI/Fシーケンサ32からは該スペアブロックを指定するアドレスと書き込みを指示する所要のコマンドとが、データバッファ36からは書き込み対象のデータが、それぞれ所定のタイミングで該当のフラッシュメモリ・チップFM<sub>i</sub>に送り込まれる。そうすると、そのフラッシュメモリ・チップFM<sub>i</sub>内では、書き込みコマンドが実行され、該スペアブロックに該データが書き込まれる。

【0880】このスペアブロックにおける初期化およびデータ書き込みは、首尾良く行われたかそれとも失敗したのか、上記と同様にフラッシュメモリ・チップFM<sub>i</sub>からのステータス情報を基に確認をとる（ステップA12）。失敗したときは、当該スペアブロックを「不良」と認定し、新規の代替ブロックとして使える正常なスペアブロックが得られるまで、スペアブロックに関する上記一連の処理（A18、A20、A21）を繰り返す（ステップA23）。その際、ブロック代替管理テーブルTB<sub>i</sub>においては、テーブルアドレスの上位位置から順に「0000h」の書き込み（登録抹消）が行われる。

【0890】そして、新規の代替ブロックとして使えた正常なスペアブロックが決まったならば、次にそのスペアブロックに対応するブロック代替管理テーブルTB<sub>i</sub>のテーブル記憶位置に今回のメモリアccessに係る論理アドレス（ステップA2）の値を格納（登録）する（ステップA24）。これで、この論理アドレスはこの新規代替ブロックに割り付けられたことになる。

【0900】次に、今回の読み出しデータエラーが訂正不能であった場合は、この時点でロジック制御部44内のエラービットフラグをセットする（ステップA25）。次いで、ビジーフラグ（BSY）をクリアして（ステップA27）、データバッファ36内の読み出しデータをホスト18へ転送可能とする（ステップA28）。

【0910】次に、図11～図15につきホスト18からの書き込みのメモリアccessに対する本システムの作用を説明する。図11～図13はコントローラ10内の処理手順を示し、図14～図15はシステム内の各部の動作のタイミングを示す。

【0920】データの書き込みを行うとき、ホスト18はCHSモードのアドレス情報で書き込み位置（先頭位置）を指定し、セクタカウント（SC）で書き込みデータの量または長さを指定し、書き込みコマンドで指示してくる。

【0930】コントローラ10では、ホストインタフェース部34においてI/Oポート46で受信したホスト18からの書き込み指令情報（CHS、SC、コマンド）をロジック制御部44内のレジスタに格納する。以後、メインシーケンサ30が中心となって以下のような処理を実行する。

【0940】先ず、ロジック制御部44内の内部ビジーフラグ(BUSY)をセットする(ステップB1)。

【0950】次いで、アドレス変換部42においてCHSモードのアドレスからフラッシュメモリ内論理アドレスへのアドレス変換(演算)が行われる(ステップB2)。

【0960】次に、メインシーケンサ30が、上記した読み出し動作のときと同様に、該当フラッシュメモリ・チップF<sub>Mi</sub>に対応するブロック代替管理テーブルT<sub>Bi</sub>を検索し、ホスト18より指定されている論理アドレスがテーブルT<sub>Bi</sub>内に登録されているかどうかテーブル先頭位置からアドレス順に検索し(ステップB3~B9)、検索結果にしたがって該論理アドレスに対応するブロックの物理アドレスを割り出す。

【0970】すなわち、該論理アドレスがテーブルT<sub>Bi</sub>内に登録されているときは、その登録位置のテーブルアドレスに対応する代替ブロックの物理アドレスが割り出される(ステップB13)。また、該論理アドレスがテーブルT<sub>Bi</sub>内に登録されていないときは、その論理アドレスと同じ値の物理アドレスが割り出される(ステップB12)。

【0980】次に、その割り出された物理アドレスで指示される当該フラッシュメモリ・チップF<sub>Mi</sub>内のブロックをイレース(初期化)する。この初期化のイレース処理は、上記した読み出し動作における不良ブロックのイレース(ステップA16)と同様の手順で行われる。

【0990】そして、ホスト18からの書き込みデータの転送に応ずるため内部ビジーフラグ(BSY)をクリアして(ステップB15)、イレース処理(ステップB14)が首尾良く完了したことを当該フラッシュメモリ・チップF<sub>Mi</sub>からのステータス情報で確認する(ステップB16, B17)。さらに、ホスト18からのデータが全てデータバッファ36にロードされたことも確認する(ステップB28)。

【1000】そして、内部ビジーフラグ(BSY)をセットしたうえで(ステップB29)、フラッシュメモリ14へのデータ書き込みを行う(ステップB30)。このデータ書き込み処理は、上記した読み出し動作におけるデータエラー発生時のデータ移し替えのための書き込み処理(ステップA21)と同様の手順で行われる。

【1010】すなわち、フラッシュメモリ14/Fシーケンサ32からは該当の物理アドレスと書き込みコマンドとが、データバッファ36からはホスト18より送られて来た書き込み対象のデータが、それぞれ所定のタイミングで該当のフラッシュメモリ・チップF<sub>Mi</sub>に送り込まれる。フラッシュメモリ・チップF<sub>Mi</sub>内では、書き込みコマンドが実行され、該当ブロックに該データが書き込まれる。

【1020】そして、この書き込みが首尾良く行われたことを当該フラッシュメモリ・チップF<sub>Mi</sub>からのステ

ータス情報で確認する(ステップB31)。ホスト18より与えられているセクタカウント(SC)が1のときはこれで全処理を終了し、セクタカウント(SC)が2以上のときは最初に戻り(ステップB42)、上記と同様の手順で読み出し動作を実行する。ただし、2回目以降の論理アドレスはアドレス変換部42において1つインクリメントした値となる。

【1030】図14の(A)には、何のエラーや障害も発生することなくホストからの2セクタ分のデータがフラッシュメモリ14に書き込まれた場合の各部の動作のタイミングが示されている。

【1040】上記した該当ブロックに対するイレース処理(ステップB14)が失敗したときは、図12のステップB20~B26の処理が行われる。このときの各部の動作のタイミングは図14の(B)に示されている。

【1050】このイレース処理(ステップB14)でエラーがあったときは、イレース動作終了後に当該フラッシュメモリ・チップF<sub>Mi</sub>よりフラッシュメモリ/Fシーケンサ32に送られてくるステータス情報でエラーが通知される。

【1060】本実施例では、イレース・エラーが発生したブロックについては、これを不良ブロックと認定する。この不良と認定されたブロックは、フラッシュメモリ・チップF<sub>Mi</sub>において通常領域に属する通常ブロックであるときもあれば、スペア領域に属するスペアブロック(代替ブロック)のときもある。

【1070】スペア領域内のブロックであるときは、ブロック代替管理テーブルT<sub>Bi</sub>においてそのスペアブロックについての登録抹消処理を行う(ステップB19)。この登録抹消処理は、上記した読み出し動作における登録抹消処理(ステップA18)と同様の手順で行われる。

【1080】今回不良と認定されたブロックが通常領域内のブロックであるときは、上記した読み出し動作のときと同様に、テーブル内登録抹消処理(ステップB19)をスキップして(ステップB20)、空きブロックサーチ(ステップB21)を行う。

【1090】この空きブロックサーチの処理も、上記した読み出し動作における空きブロックサーチ(ステップA20)と同様の手順で行われ、空き状態のスペアブロックの中で最も上位位置にあるブロックを割り出す。

【1100】上記のようにして新規の代替ブロックとなるべき空きのスペアブロックを割り出したなら、次に、このスペアブロックに対し上記と同様の手順で初期化のイレースを行う(ステップB22)。

【1110】このイレースが首尾良く行われたならそのスペアブロックを新規代替ブロックとして使える正常なブロックと認定し、イレースが失敗したならこのスペアブロックを不良ブロックと認定し、正常なスペアブロックが見つかるまで上記の処理を繰り返す(ステップB24)。この点は、上記した読み出し動作において新規代

替ブロックを決定するときの処理（ステップA18～A23）と類似している。

【1120】そして、正常にイレースされたスペアブロックに突き当たったときは、このスペアブロックを代替ブロックとして登録するため、ブロック代替管理テーブルTB<sub>i</sub>においてそのスペアブロックの物理アドレスに対応するテーブルアドレスのテーブル位置に今回のメモリアクセスで指定された論理アドレス（ステップB2）を格納しておく（ステップB25）。

【1130】また、今回のデータ書き込みのアクセス先をこの登録された代替ブロックに変更しておく（ステップB26）。

【1140】上記フラッシュメモリ14へのデータ書き込み処理（ステップB30）が失敗したときは、図13のステップB32～B38の処理が行われる。このときの各部の動作のタイミングは図15に示されている。

【1150】このデータ書き込み処理（ステップB30）でエラーがあったときも、当該フラッシュメモリ・チップFM<sub>i</sub>より書き込み動作終了後に送られてくるステータス情報でエラーが通知される。

【1160】本実施例では、データ書き込みの失敗したブロックについても、これを不良ブロックと認定する。そして、この不良ブロックに替わるべき代替用のスペアブロックを決定し、そのスペアブロックにアクセスして今回のホスト18からのデータを書き込む。この一連の代替処理（ステップB32～B38）は、上記した読み出し動作におけるデータエラー発生時の代替処理（ステップA17～A24）と同様の手順で行われる。

【1170】その結果、上記のような所定の条件を満たす新規の代替用スペアブロックに今回のメモリアクセスでホスト18より送られてきたデータが書き込まれる。そして、このスペアブロックに対応するブロック代替管理テーブルTB<sub>i</sub>のテーブル記憶位置に今回ホスト18より指定された論理アドレスの値が格納（登録）されることで（ステップB38）、次回にこの論理アドレスが指定されたときはこの新規代替ブロックがアクセス先となる。

【1180】なお、図8、図9、図11～図13のフローチャートに示す読み出し動作および書き込み動作の手順は、説明の便宜上、図3に示すような1ブロック＝1セクタのフォーマットに対応させている。1ブロックに複数のセクタが含まれている場合は、1セクタの転送毎に最初から処理を繰り返すことはせず、1ブロック分の全データをデータバッファ36に格納し、ホストインタフェース部34とホスト18との間だけで1セクタ単位のデータ転送を繰り返す。

【1190】上記したように、本実施例のフラッシュメモリシステムでは、フラッシュメモリ14の外部で、かつ別個のバス26上に好ましくはNOR型フラッシュメモリからなる不揮発性のテーブルメモリ12を設け、こ

のテーブルメモリ12内に上記したようなブロック代替管理テーブルTBを構築する。

【1200】ホスト18からのメモリアクセス要求を受ける度に、コントローラ10（より詳細にはメインシーケンサ30）が該テーブルTBを検索すると、テーブルの内容とホストより指定された論理アドレスとの照合によりブロック代替の要否判断が自動的に行われ、アクセス先となる該当ブロックが短時間で判明する。このアクセス先のブロックは、少なくとも前回アクセスされた時点では正常な記憶領域を有していたものであり、今回も正常であることの蓋然性は高い。

【1210】本実施例によれば、最初から不良と分かっているブロックにアクセスするようなことを回避することができる。これにより、不良のアレイ領域へのアクセスに起因してフラッシュメモリが受ける有害なストレスを可及的に少なくすることができる。

【1220】そして、仮にアクセス先のブロックが不良になっていた場合は、ブロック代替管理テーブルTBを参照しつつ、その不良ブロックに替わるべき代替ブロックを適確かつ迅速に決定し、同時にそのような新規のブロック代替に追隨してテーブルTBの内容も適宜更新（書き換え）するようにしている。

【1230】上記したように、本フラッシュメモリシステムでは、ブロック代替管理テーブルTB上でブロック代替情報を一元管理しているため、効率の高いブロック代替管理を実現できる。特に、テーブルTB内には不良と判定された通常ブロックに係わる論理アドレスのみ登録すればよく、代替ブロックを指示するための特別なポインタを登録する必要もない。したがって、テーブル容量は少なくても済み、フラッシュメモリの大容量化に十分対応できる。

【1240】また、ブロック代替管理テーブルTBには電源の入/切に関係なくブロック代替情報が保持されるため、電源投入直後等で行われるシステム初期化の中でテーブル形成のための処理も時間も一切不要である。

【1250】また、本実施例では、ブロック代替管理テーブルTBを与えるテーブルメモリ12とデータ格納用のメモリ空間を与えるフラッシュメモリ14とが別々のバス26、22に接続されているので、ブロック代替管理テーブルTB<sub>i</sub>内の処理（検索・更新等）をフラッシュメモリ14側の動作と独立させて実行することが可能であり、ブロック代替管理を効率よく展開できる。

【1260】もっとも、上記した実施例は一例であり、本発明におけるブロック代替管理方式とりわけブロック代替管理テーブルTBに関連する諸機能は種々の応用および変形が可能である。

【1270】たとえば、上記した実施例では、ホスト18からのメモリアクセス要求を受けると、コントローラ10（メインシーケンサ30）は即座に（無条件）でブロック代替管理テーブルTB<sub>i</sub>を検索するようにした。

しかし、先ずはホストから指定された論理アドレスのブロックにそのままアクセスし、そのブロックが不良であることが冗長部のブロック関連情報等から確認された時点で、ブロック代替管理テーブルTBを参照する方法も可能である。この場合でも、ブロック代替管理テーブルTBを通して該当の代替ブロックへアクセスすることができる。

【1280】また、ブロック代替管理テーブルTBの更新は常に論理アドレス、不良フラグ等のデータ書き込みの形態で行われる。テーブルの初期化で全テーブル位置に書き込まれる空き情報（FFFFh）を除き、いったん書き込まれたデータが消去されることはない。その意味で、上記実施例のようにブロック代替管理テーブルTBに用いる不揮発性のメモリとして、AND型フラッシュメモリは機能的にもコスト的にも有利である。

【1290】しかし、EEPROMやFRAMのような他の種類の不揮発性メモリも使用可能である。なお、テーブルメモリ12に用いた不揮発性半導体メモリに他の用途のテーブルや各種設定値、ファームウェア等も一緒に格納できることはもちろんである。

【1300】あるいは、個々のフラッシュメモリ・チップF<sub>Mi</sub>内の冗長領域にブロック代替管理テーブルTB<sub>i</sub>を設けることも可能である。その場合、テーブル内の処理とチップ内の本来のメモリ動作とは競合することになるため、特別の時分割制御が必要となる。

【1310】上記実施例では、ブロック代替管理テーブルTBにおいて、フラッシュメモリ・チップ内スぺア領域のブロック数またはアドレス数と同じ個数のテーブルアドレス（物理アドレス）が設定され、各テーブルアドレスが1対1の対応関係でいずれか1つのスぺアブロックの物理アドレスに対応づけられていた。そして、それぞれスぺア領域およびテーブル領域内で同じ配列順位を有するテーブルアドレスとスぺアブロック物理アドレスとが互に対応しており、各テーブルアドレスに一定のオフセット値ASを加算すると、そのテーブルアドレスに対応するスぺアブロック物理アドレスが得られるという関係があった。

【1320】しかし、スぺア領域のブロック数またはアドレス数とテーブルアドレスとは必ずしも同数である必要はない。オフセットAsは任意に設定可能であり、一定値でなくてもよい。重要なのは両者の間に1対1の対応関係があり、その対応関係が管理されるということである。

【1330】また、ブロック代替管理テーブル内の検索方向または検索順次も任意に取り決めることが可能である。

【1340】上記実施例におけるフラッシュ・ディスク・システムの構成、特にコントローラ内部の構成またはレイアウトは一例であり、種々の変形が可能である。上記した実施例においてホストより与えられるアドレスの

形態（CHSモード）も一例であり、ホストが最初からフラッシュメモリ内の論理アドレスを与えてきてもよく、他のモードのアドレスを与えてきてもよい。種々多様な構成または機能を有するホストないしホストインタフェースが使用可能である。

#### 【1350】

【発明の効果】以上説明したように、本発明のフラッシュメモリシステムによれば、少ない資源で効率よく信頼性の高いブロック代替管理を行うことができる。

#### 【図面の簡単な説明】

【図1】本発明の一実施例によるフラッシュメモリシステムの構成を示すブロック図である。

【図2】実施例におけるコントローラの内部の機能的構成を示すブロック図である。

【図3】実施例のフラッシュメモリにおけるブロック内記憶領域フォーマットの一例を示す図である。

【図4】実施例におけるフラッシュメモリチップ内記憶領域フォーマットの一例とブロック代替管理テーブルの構成例を示す図である。

【図5】実施例におけるブロック代替情報のデータフォーマット例を示す図である。

【図6】実施例のアドレス演算部で実行されるアドレス演算の例を示す図である。

【図7】実施例のアドレス演算部で実行されるアドレス演算の例を示す図である。

【図8】実施例における読み出し動作の処理手順を示すフローチャートである。

【図9】実施例における読み出し動作の処理手順を示すフローチャートである。

【図10】実施例の読み出し動作における各部の動作のタイミングを示す図である。

【図11】実施例における書き込み動作の処理手順を示すフローチャートである。

【図12】実施例における書き込み動作の処理手順を示すフローチャートである。

【図13】実施例における書き込み動作の処理手順を示すフローチャートである。

【図14】実施例の書き込み動作における各部の動作のタイミングを示す図である。

【図15】実施例の書き込み動作における各部の動作のタイミングを示す図である。

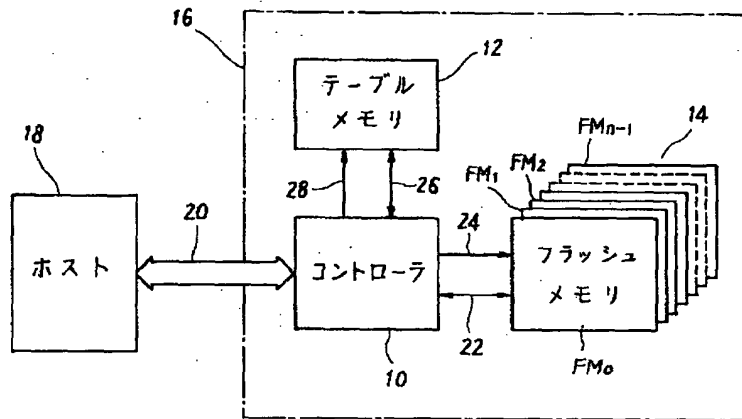
#### 【符号の説明】

- 10     コントローラ
- 12     テーブルメモリ
- 14     フラッシュメモリ
- 18     ホストコンピュータ
- 22, 26   バス
- 30     メインシーケンサ
- 32     フラッシュI/Fシーケンサ
- 34     ホストインタフェース部

36 データバッファ  
38 バッファ制御部

42 アドレス変換部

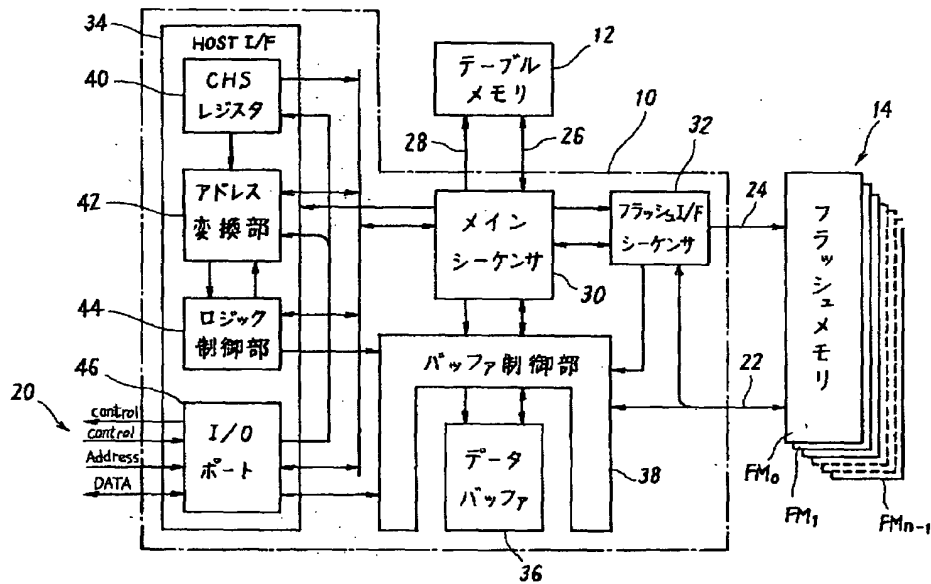
【図1】



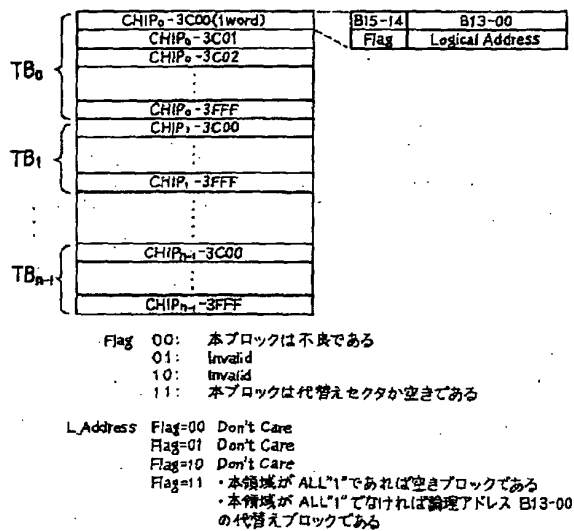
【図3】

0	データ部
1FF	512B
200	Long ECC
203	4B
204	Reserve
20F	12B

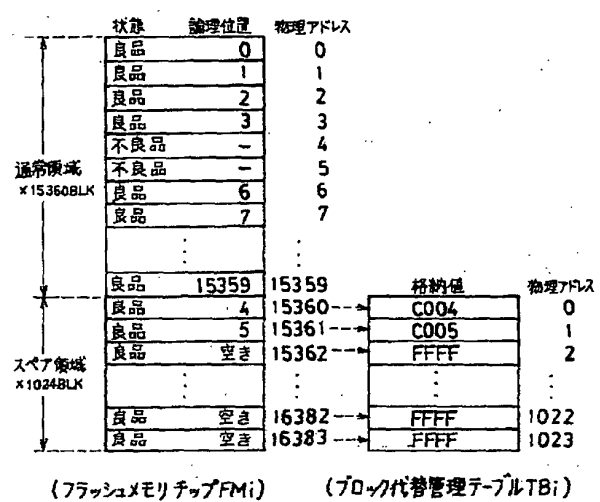
【図2】



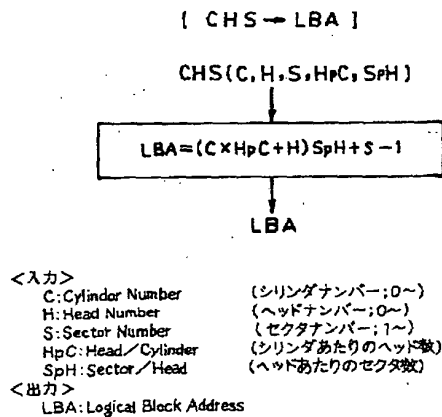
【図5】



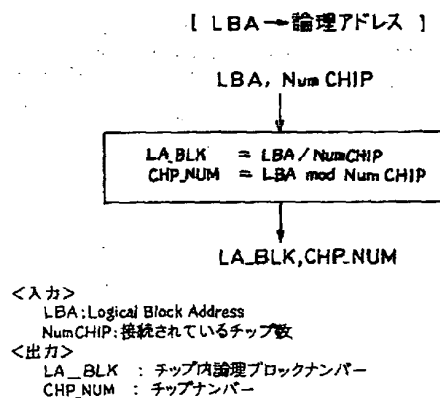
【図4】



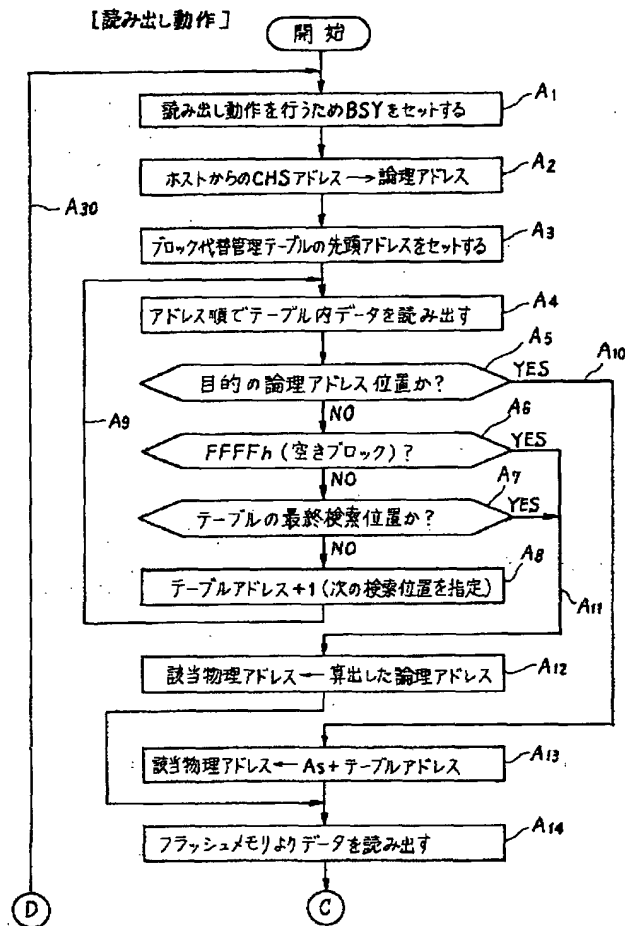
【図6】



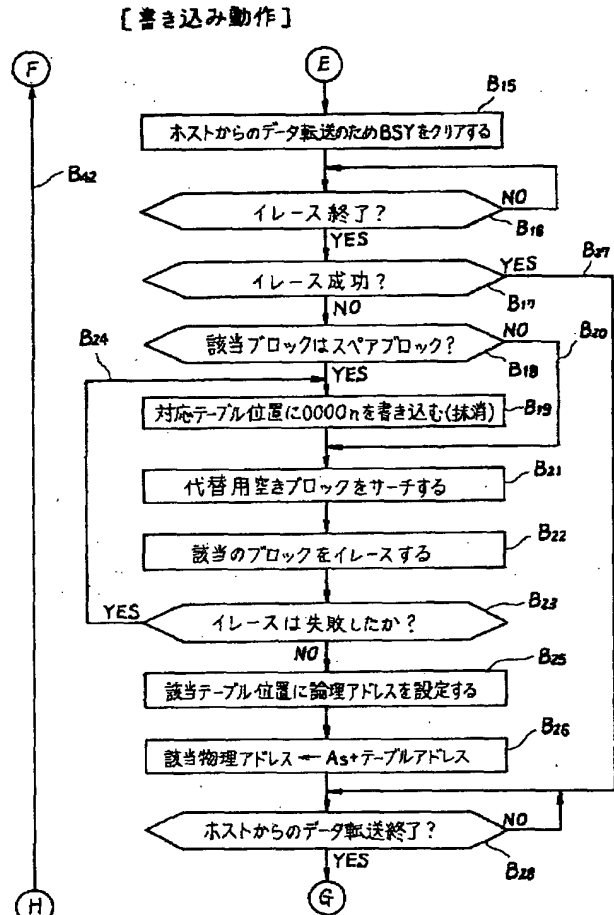
【図7】



【図8】

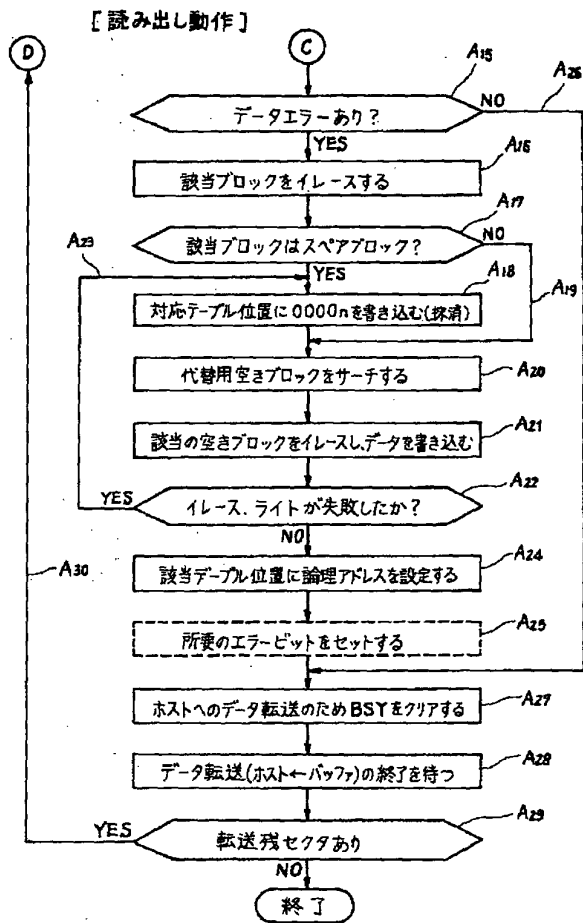


【図12】

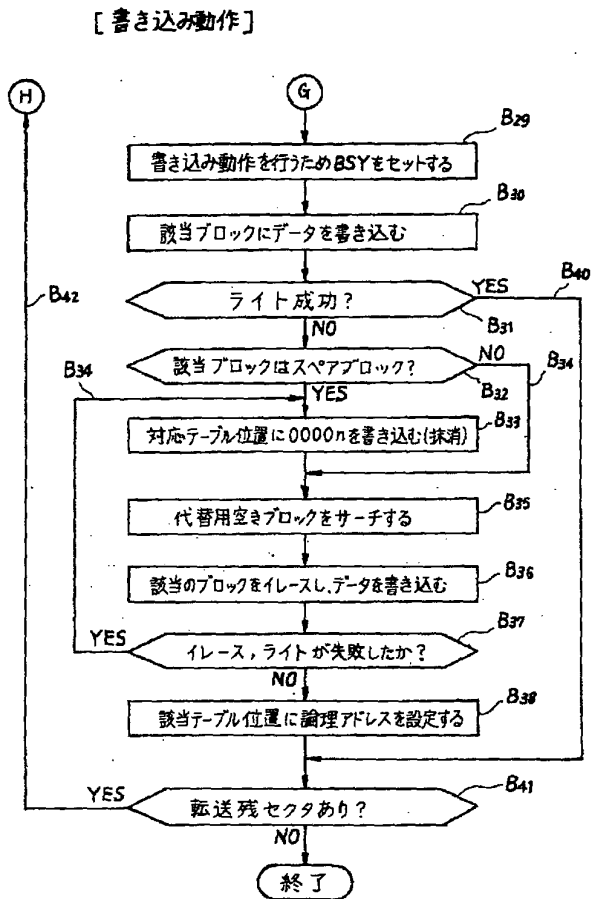




【図9】



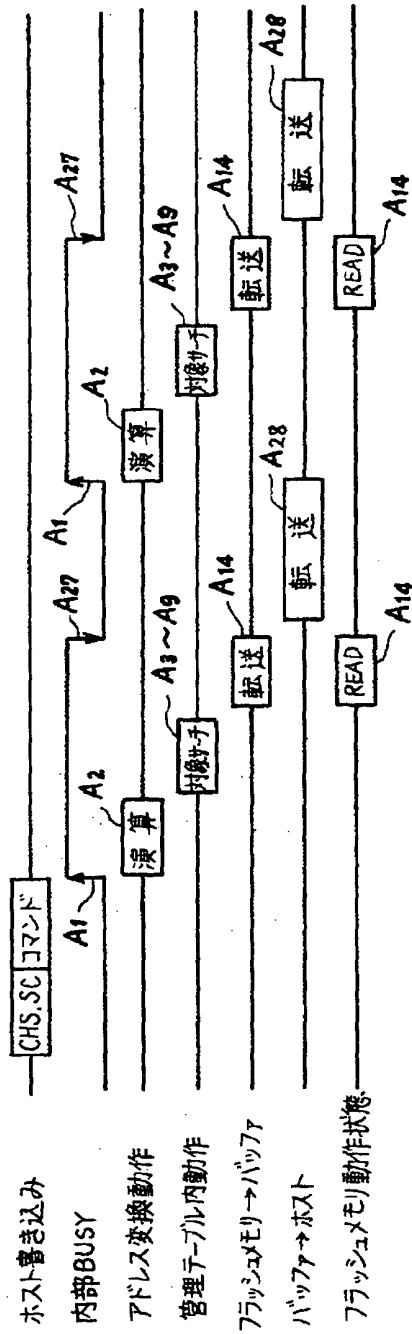
【図13】



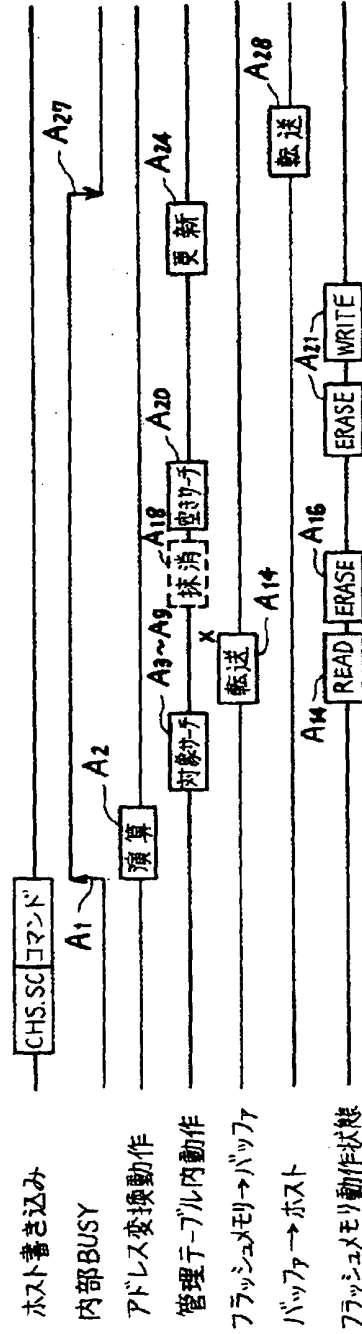
【図10】

## 〔読み出し動作〕

## (A) エラー無し2セクタ転送

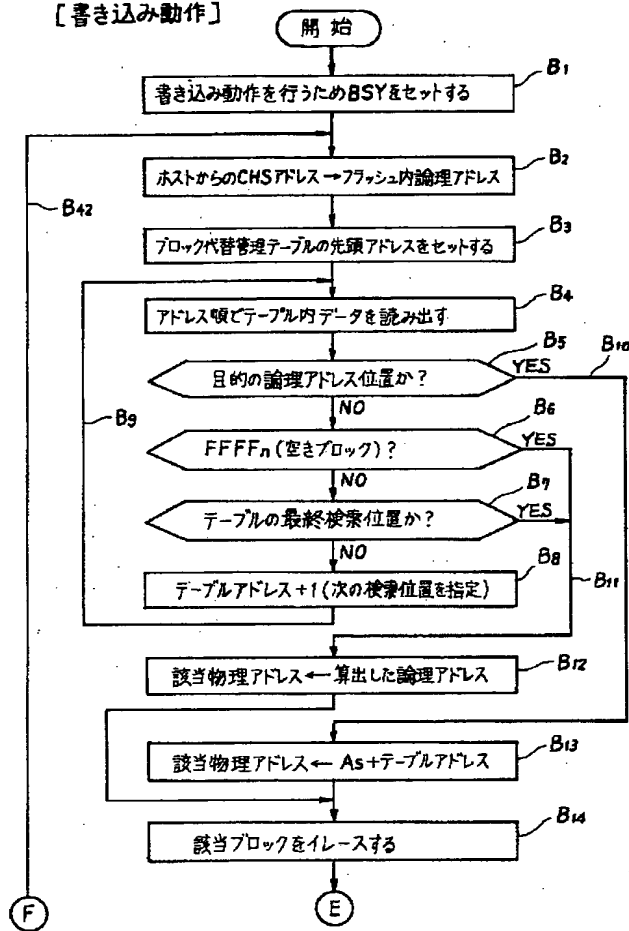


## (B) ECCエラー発生



【図11】

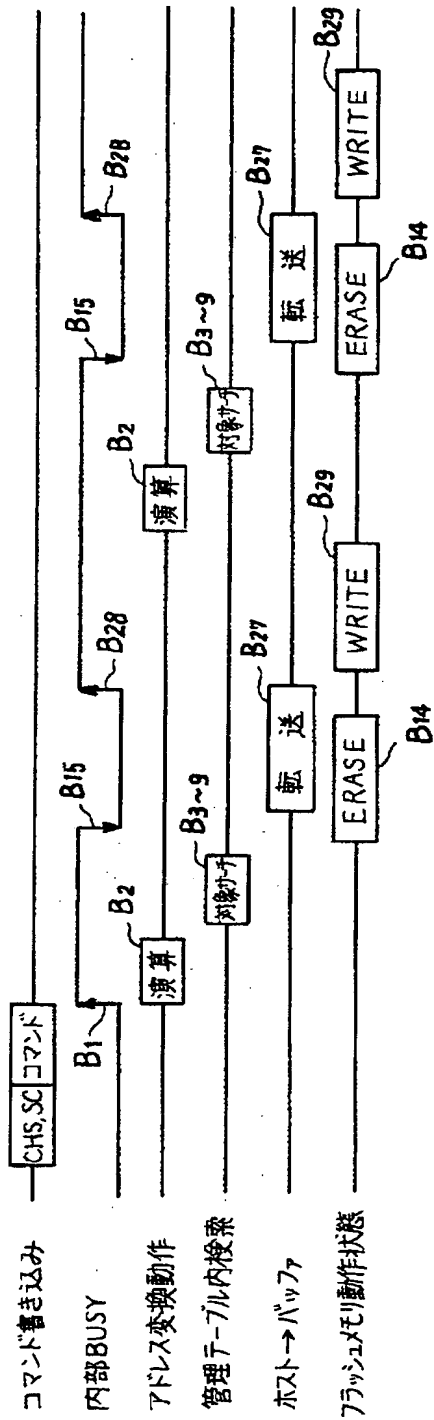
## 【書き込み動作】



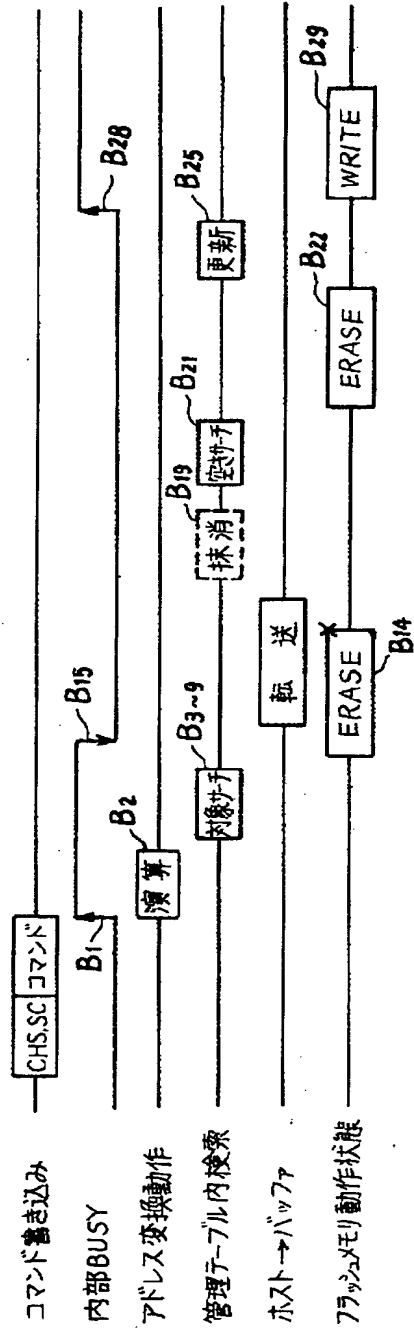
【図14】

## 〔書き込み動作〕

## (A) エラー無し2セクタ転送



## (B) ERASEエラー発生



【図15】

WRITEエラー発生

